

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-140951
 (43)Date of publication of application : 20.05.1994

(51)Int.Cl. H04B 1/10
 H03H 17/00
 H04L 25/08

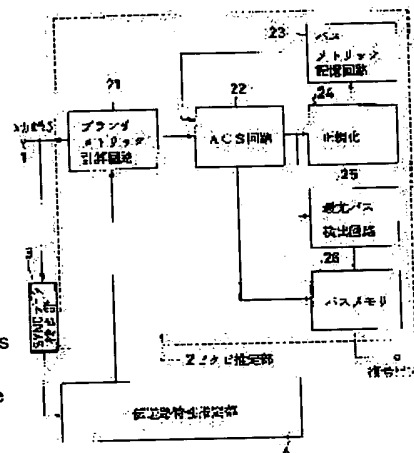
(21)Application number : 04-289076 (71)Applicant : SONY CORP
 (22)Date of filing : 27.10.1992 (72)Inventor : SATO TERUO

(54) VITERBI EQUALIZER

(57)Abstract:

PURPOSE: To obtain an excellent equivalent characteristic by modeling an impulse response between a transmitter and a receiver by using synchronizing signal data as a reference signal, employing the least mean square method, and thereby unequivocally modeling the impulse response between the transmitter and the receiver.

CONSTITUTION: The equalizer consists of synchronizing signal data detection means 3 detecting a synchronizing signal data part from a reception signal data series, a transmission line characteristic estimate means 4 using the synchronizing signal data detected by the synchronizing signal data detection means 3 as a reference signal, employing the least square means method to model an impulse response between a transmitter and a receiver, and a decoding means 2 using the Viterbi algorithm so as to decode transmission data series based on the transmission model obtained by the transmission line characteristic estimate means 4. Then the synchronizing signal pattern part detected by the transmission line characteristic estimate means 4 is used for a reference signal and the least square mean method is used to model the impulse response between the transmitter and the receiver and to estimate a channel response.



LEGAL STATUS

[Date of request for examination]

17.06.1999

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-140951

(43) 公開日 平成6年(1994)5月20日

(51) Int.Cl.⁵

H 0 4 B 1/10
H 0 3 H 17/00
H 0 4 L 25/08

識別記号

弁内整理番号

F I

技術表示箇所

L 9298-5K
B 7037-5J
B 8226-5K

審査請求 未請求 請求項の数2(全12頁)

(21) 出願番号 特願平4-289076
(22) 出願日 平成4年(1992)10月27日

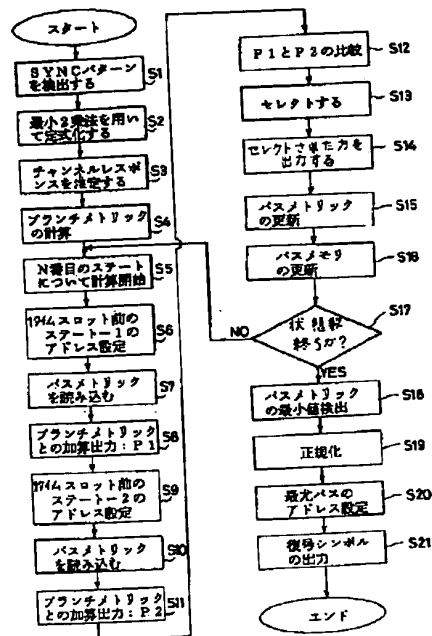
(71) 出願人 000002185
ソニー株式会社
東京都品川区北品川6丁目7番35号
(72) 発明者 佐藤 輝雄
東京都品川区北品川6丁目7番35号 ソニ
ー株式会社内
(74) 代理人 弁理士 松隈 秀盛

(54) 【発明の名称】 ビタビ等化器

(57) 【要約】

【目的】 精度の良い等化特性を得ることができるビタビ等化器を提案せんとする。

【構成】 受信信号データ系列中からの同期信号データ部を検出する同期信号データ検出手段3と、この同期信号データ検出手段3により検出された同期信号データを参照信号として、最小2乗法を用いて送信機と受信機とのインパルス応答をモデル化する伝送路特性推定手段と、この伝送路特性推定手段により得られる伝送モデルを基にしてビタビアルゴリズムを用いて送信データ系列を復号する復号手段2とより成るものである。



【特許請求の範囲】

【請求項1】 受信信号データ系列中からの同期信号データ部を検出する同期信号データ検出手段と、
該同期信号データ検出手段により検出された同期信号データを参照信号として、最小2乗法を用いて送信機と受信機と間のインパルス応答をモデル化する伝送路特性推定手段と、
該伝送路特性推定手段により得られる伝送モデルを基にしてビタビアルゴリズムを用いて送信データ系列を復号する復号手段とより成ることを特徴とするビタビ等化器。

【請求項2】 請求項1記載のビタビ等化器において、同期信号データの検出は受信信号と同期信号パターンとの相関をとることにより行うようにしたことを特徴とするビタビ等化器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は例えば自動車電話等を使用して好適なビタビ等化器に関する。

【0002】

【従来の技術】 米国、欧州及び日本においては、自動車電話方式のデジタル化が進められている。この自動車電話の如き移動体通信では自動車の様に高速で移動局と基地局との間に高層ビル等が介在することによりいわゆるマルチパスの影響を受けて、基地局及び移動局間の伝送特性が大幅に劣化してしまうので、エラーの少ないデータ伝送が困難であった。しかも、この等価的な伝送特性が時々刻々変動する。

【0003】 この様な移動通信システムにおいて、エラーの少ない受信を実現するためには、こうした伝送特性を補正する等化技術が不可欠である。

【0004】 従来知られる等化技術として基地局と移動局と間の伝送特性を用いて送信データを最尤系列推定に基づいて復号するビタビ等化器が提案されている。

【0005】 このビタビ等化器の基本構成は図2に示す如きものであり、ここでは、この図2に示すビタビ等化器を欧州の自動車電話で採用されているGSM（グループスペシャルモバール）方式に適用した例につき述べる。

【0006】 この図2においては入力端子1に供給される受信信号をビタビ推定部2を構成するブランチメトリック計算回路21に供給すると共にこの受信信号を同期信号データ検出部3に供給し、この同期信号データ検出部3よりの同期信号データを伝送路特性推定部4に供給する。

【0007】 この欧州で採用されたGSM方式の基地局から移動局（自動車）への通話チャンネルは図3A及びBに示す如きフレーム構成となっている。この各タイムスロットは図3Bに示す如くその中央部に既知のパターンを有する同期信号パターン（SYNCパターン）が付

加されて送られてくるので、この伝送路特性推定部4ではこの同期信号パターンを利用して送信機と受信機との間に介在する伝送系のインパルス応答（以下チャンネルレスポンスという。）を推定する。

【0008】 このGSM方式の場合にはGMSK（ガウシャルミニマムシフトキーイング）という変調方式が採用されているが、高周波伝送系は復調器を通すことによりベースバンド信号に変換されるので、以下では説明を単純化するためにベースバンドにおける信号処理として話を進める。

【0009】 このGSM方式においては、同期信号パターンとして8種類のデータ系列が予め指定されており、その内の1つの系列を図4に示す。この同期信号パターンを利用してチャンネルレスポンスをモデル化する従来の一般的な手順を説明する。

【0010】 今、チャンネルレスポンスを図5で示される様なケースを例題として取り上げることにする（現実には、このチャンネルレスポンスは未知である。）。この図5において、時間軸方向の単位は、シンボルの送出間隔に等しい。この図5の同期信号パターンは図4の同期信号パターンである。この様なチャンネルレスポンスを有する伝送系を通過した時に受信される同期信号データは次式で表される。

【0011】

【数1】

$$y_i = \sum_{n=-K}^{+K} h_n \cdot x_{i-n}$$

ここで y_i は受信信号、 x_i は同期信号パターン、 h_i はチャンネルレスポンスを表す。また、夫々シンボル時間間隔 T でサンプリングされた値である。

【0012】 数1に従って同期信号パターン部に対応する受信信号を計算すると図5で示される様な出力信号が得られる。この受信機側において、既知である情報は同期信号パターン x_i と受信信号 y_i である。

【0013】 従来のこの伝送路特性推定部4のモデル化の処理手順は、まず受信信号と同期信号パターンとの相関をとることによって同期信号データ部を検出する。

【0014】 次にこの同期信号データ部と同期信号パターンとの相互相関関数 r_i を計算する。

【0015】

【数2】

$$r_j = \sum_{n=-L}^{+L} x_n \cdot y_{n+j}$$

【0016】 次にこの相互相関関数 r_i の最大値を用いて正規化を行なう。このようにして計算された相互相関関数を図5に示す。この相互相関関数によりチャンネルレスポンスを推定し、ブランチメトリック計算回路21に供給する。

【0017】 このチャンネルレスポンスを推定した後で、ビタビアルゴリズムを用いて送信データ系列を復号

する。図6に一般化した伝送路等価モデルを示す。ここでは、この図6の一般化した伝送路等価モデルを具体的にそのチャンネルレスポンス長を限定してモデル化した図7の例について話を進める。

【0018】この図7のようにモデル化するとそれは拘束長=4

符号化率 $r = 1/1$

の畳み込み符号器と見ることができる。但し、通常の畳み込み符号器と異なる点は加算器71が線形動作をおこ*

$$G = \sum_{n=-1}^{+2} h_n \langle T_{n+1} \rangle$$

$$= h_{-1} \langle T_0 \rangle + h_0 \langle T_1 \rangle + h_{+1} \langle T_2 \rangle + h_{+2} \langle T_3 \rangle$$

ここで $\langle T_i \rangle$ はレジスタ T_i に格納された内容を表すものとする。

【0021】この図7に示す伝送路等価モデルにおける伝送路の内部状態の遷移を表すトレリス図を図8に示す。この図8の各状態節点 S_i に対応する3文字のアルファベットは各タイムスロットにおけるシフトレジスタの内部状態を表すものとする。ここでシフトレジスタは $\langle +1 \rangle$ と $\langle -1 \rangle$ との値をとるので、表現の都合上それぞれH及びLと表すこととする。尚この図8では通常用いられる格子構造図に変形を加えて、情報入力シンボル $\langle -1 \rangle$ が入力された場合には実線で、また情報入力シンボル $\langle +1 \rangle$ が入力された場合には破線で示す様な遷移が発生することを表している。

【0022】一方ブランチメトリック計算回路21に受信信号データ Y_k を入力してその遷移に関する尤度を計算する。その尤度を量るための計量として幾つか提案されているが、ビタビ復号器における最も一般的な評価尺度であるハミング距離を広義に適用する。

【0023】今タイムスロット $t(k)$ におけるブランチメトリックは次式で計算される。

【0024】

$$[数4] \quad b(k, S_i \rightarrow S_j) = |Y_k - G_k|$$

ここで、 Y_k は受信信号データであり、また G_k は等価伝送路モデルから送出されるシンボルであって、数3で計算される値をとる。

【0025】このブランチメトリック計算回路21に得られるブランチメトリックをACS (Add Compare Select) 回路22に供給する。このACS回路22は、加算器と比較器とセレクトとから構成され、各状態において、このブランチメトリックとバスメトリック記憶回路23に記憶されている1タイムスロット前のバスメトリックとを加算してその値の小さい方を尤もらしい生き残りパスとして選択する。ここでバスメトリックとは、生き残りパスにおけるブランチメトリックを合算した値である。

【0026】このACS回路22の出力信号を正規化回

*なうこと及びシフトレジスタ T_0 , T_1 , T_2 及び T_3 に入力されるシンボルは $\langle +1 \rangle$ と $\langle -1 \rangle$ との2値であり、またシフトレジスタの各出力はチャンネルレスポンス h_{-1} , h_0 , h_{+1} 及び h_{+2} に相当する重みを付けた後に加算器71で加えられることの2点である。

【0019】このようにモデル化した場合に送出されるシンボル G は次式で表される。

【0020】

[数3]

路24を介してバスメトリック記憶回路23に供給すると共にこのACS回路22の出力信号を最尤パス検出回路25に供給する。

【0027】この最尤パス検出回路25は最小のバスメトリック値を有するパスを検出してそのパスに対応したバスメモリ26の内容を復号データとして出力する。このバスメモリ26は情報ビット列を推定して記憶しておくメモリである。

【0028】このビタビ等化器を構成する論理ユニットを図9に示す。この図9において、各計量はそれぞれ次の様な内容を表すものとする。

【0029】

$P(k-1, S_i)$: タイムスロット $t(k-1)$ において状態節点 S_i に到達した生き残りパスが有するバスメトリック

30 $P(k-1, S_i)$: タイムスロット $t(k-1)$ において状態節点 S_i に到達した生き残りパスが有するバスメトリック

$b(k, S_i \rightarrow S_j)$: タイムスロット $t(k)$ において状態節点 S_i から状態節点 S_j への遷移に対応するブランチメトリック

$b(k, S_i \rightarrow S_j)$: タイムスロット $t(k)$ において状態節点 S_i から状態節点 S_j への遷移に対応するブランチメトリック

【0030】

40 $M(k-1, S_i)$: タイムスロット $t(k-1)$ において状態節点 S_i から到達した生き残りパスが有するバスメモリ

$M(k-1, S_i)$: タイムスロット $t(k-1)$ において状態節点 S_i に到達した生き残りパスが有するバスメモリ

$\langle -1 \rangle$, $\langle +1 \rangle$: タイムスロット $t(k)$ において送出されたと推定される情報シンボル

$P(k, S_j)$: タイムスロット $t(k)$ において状態節点 S_j に到達した生き残りパスが有するバスメトリック

50 ク

5
M(k, S.) : タイムスロット t(k) において状態節点 S. に到達した生き残りパスが有するパスメモリ

【0031】ここで、拘束長を k とすると、状態数は 2^{k-1} だけ存在するので、図9に示す論理ユニットの数も基本的には状態数 2^{k-1} だけ必要となる。更に図2に示したビタビ等化器のブロック構成の様に正規化回路24を設けて、パスメトリック記憶回路23の規模を減らし、またパスメトリック計算時におけるオーバーフローを防ぐ方式が一般的である。

【0032】この正規化の具体的な処理としては、まず 10
パスメトリックの最小値を検出し次にその値を各パスメトリック量から減算する処理が行なわれる。このようにしてセレクトされた生き残りパスの数は、状態数と同じく 2^{k-1} だけ存在することになる。

【0033】各タイムスロットにおいて、生き残りパスを選択する操作とそのパスに対応するパスメトリックとパスメモリ26を更新する操作を繰り返す。この操作を十分に長い時間にわたって行なうとある時間以前においては、同一のパスにマージすることが知られており、この様子を図10に示す。最新の処理時点から遡ってパス 20
がマージするまでのパスの長さを打ち切りパス長と呼んでいる。

【0034】図9のパスメモリの更新のしかたはそれぞれの状態により決定する。例えば“LLL”の論理ユニットでは (-1)、“HLL”の論理ユニットでは (+1) と決り、以下同様に決まる。

【0035】最尤判定では最小のパスメトリック値を有するパスを検出してそのパスに対応したパスメモリの内容を打ち切りパス長 (通常拘束長の3倍から4倍程度に 30
設定される) 分さかのぼった時点の情報シンボルとして出力する。

【0036】この従来のビタビ等化器の信号処理の流れを図11のフローチャートを用いて説明する。先ず受信信号データ Y_i が入力端子1に供給されたときに同期信号パターンを検出し (ステップS1)、この受信信号データ Y_i の同期信号パターンと予め記憶されている同期信号パターンとの相互相関関数を伝送路特性推定部4において計算し (ステップS2) チャンネルレスポンスを推定する (ステップS3)。次にブランチメトリック計算回路21はブランチメトリックの計算を行い (ステップS4)、続いてN番目のステートについて計算を開始する (ステップS5)。

【0037】次に1タイムスロット前のステート1のアドレスを設定し (ステップS6)、次にこの設定したアドレスのパスメトリック記憶回路23に記憶されたパスメトリックを読み込み (ステップS7)、このパスメトリックをステップS4で計算したブランチメトリックとACS回路22で加算し、この加算出力をレジスタP1に格納する (ステップS8)。

【0038】次にステップS9では、1タイムスロット 50

前のステート2のアドレスの設定を行い、この設定したアドレスのパスメトリック記憶回路23に記憶されたパスメトリックを読み込み (ステップS10)、このパスメトリックをステップS4で計算したブランチメトリックとACS回路22で加算し、この加算出力をレジスタP2に格納する (ステップS11)。

【0039】次にこのACS回路22で、このレジスタP1及びP2の各格納値の比較及びセレクトの動作を行い (ステップS12, S13)、そのセレクト値を出力し (ステップS14)、この値でパスメトリック記憶回路23を更新する (ステップS15) と共にパスメモリ26を更新する (ステップS16)。

【0040】上述したステップS5からステップS16までの処理を、状態数 2^{k-1} だけ繰り返す (ステップS17)。以上の処理が終了した後、最尤パス検出回路25によって最小のパスメトリック値を有するパスを検出し (ステップS18)、さらにパスメトリックの最小値を各パスメトリック量から減算することにより正規化の処理を行う (ステップS19)。

【0041】続いて最尤パス検出回路25によって最尤パスのアドレスを設定し (ステップS20)、パスメモリ26の内容を復号データとして出力する (ステップS21)。

【0042】

【発明が解決しようとする課題】 斯る従来のビタビ等化器においては図5のチャンネルレスポンスと相互相関関数 r_i とを比較するとある程度の精度でチャンネルレスポンスを推定できることが確認できるが、その反面、本来ならば出現してはならない「偽のインパルスレスポンス」も検出されてしまうことが露呈している。この原因は同期信号パターンの自己相関関数 a_i を計算してみれば明らかである。

【0043】

【数5】

$$a_i = \sum_{n=-L}^{+M} X_n \cdot X_{n+i}$$

【0044】こうして計算した自己相関関数を図5に示す。この図5から明らかなように主ピーク以外にもかなり大きなレベルを有する幾つかのピークが存在し、これがチャンネルレスポンスを推定する際にその精度を劣化させる要因となっていた。

【0045】また先に、最尤受信器として特開平4-88726号公報に開示されたものもあるが、斯る最尤受信器においても精度の良い受信ができない不都合があった。

【0046】本発明は斯る点に鑑み精度の良い等化特性を得ることができるビタビ等化器を提案せんとするものである。

【0047】

【課題を解決するための手段】 本発明ビタビ等化器は例

えば図1及び図2に示す如く受信信号データ系列中からの同期信号データ部を検出する同期信号データ検出手段3と、この同期信号データ検出手段3により検出された同期信号データを参照信号として、最小2乗法を用いて送信機と受信機と間のインパルス応答をモデル化する伝送路特性推定手段と、この伝送路特性推定手段により得られる伝送モデルを基にしてビタビアルゴリズムを用いて送信データ系列を復号する復号手段2とより成るものである。

【0048】また本発明ビタビ等化器は上述において、同期信号データの検出は受信信号と同期信号パターンとの相関をとることにより行うようにしたものである。

【0049】

【作用】本発明によれば同期信号データを参照信号として、最小2乗法を用いて送信機と受信機との間のインパルス応答をモデル化しているので送信機と受信機との間のインパルス応答を一義的にモデル化でき、こうして決定されたモデルは最小2乗推定の意味において、誤差最小となるモデルであり、結果的に良好な等化特性が得られる。

【0050】

【実施例】以下図面を参照して本発明ビタビ等化器の一実施例につき説明しよう。本例においては図2の伝送路特性推定部4を以下述べる如く構成する。チャンネルレ*

$$\frac{\partial E}{\partial h_n} = 2 \sum_{i=-L}^{+M} \left\{ \sum_{n=-K}^{+K} h_n \cdot x_{i-n} - y_i \right\} x_{i-n}$$

$$= 0$$

この数8に、 $n = -K, -(K-1), \dots, 0, \dots, + (K-1), +K$ を代入すると次式に示す連立方程式が得られる。

*スポンズとして図6に示すようにモデル化する。このようにモデル化すれば、受信されるであろうと予想される信号 y_i は前述の数1で表される。

【0051】一方、実際に受信された信号を Y_i と表すと、 i 番目のシンボルに関する誤差 ε_i は次式で表される。

【0052】

【数6】 $\varepsilon_i = y_i - Y_i$

この誤差の2乗和 E を求める。

【0053】

【数7】

$$E = \sum_{i=-L}^{+M} \varepsilon_i^2$$

$$= \sum_{i=-L}^{+M} \left\{ \sum_{n=-K}^{+K} h_n \cdot x_{i-n} - y_i \right\}^2$$

【0054】この誤差 E を最小とするようにインパルス列 h_n を決定する如くする。本例においては最小2乗法を適用する。このため数7を h_n について偏微分する如くする。

【0055】

【数8】

【0056】

【数9】

$$\begin{matrix}
 9 & & & & 10 \\
 \left[\begin{array}{cccc}
 \sum_{i=-l}^{+m} x_{i+k}^2 & \sum_{i=-l}^{+m} x_{i+k} x_{i+k-1} & \cdots & \sum_{i=-l}^{+m} x_{i+k} x_{i-k} \\
 \sum_{i=-l}^{+m} x_{i+k-1} x_{i+k} & \sum_{i=-l}^{+m} x_{i+k-1}^2 & \cdots & \sum_{i=-l}^{+m} x_{i+k-1} x_{i-k} \\
 \cdots & \cdots & \cdots & \cdots \\
 \sum_{i=-l}^{+m} x_{i-k} x_{i+k} & \sum_{i=-l}^{+m} x_{i-k} x_{i+k-1} & \cdots & \sum_{i=-l}^{+m} x_{i-k}^2
 \end{array} \right] \cdot \left[\begin{array}{c}
 h_{-k} \\
 h_{-k+1} \\
 \vdots \\
 h_{+k}
 \end{array} \right]
 \end{matrix}$$

$$= \left[\begin{array}{c}
 \sum_{i=-l}^{+m} x_{i+k} Y_i \\
 \sum_{i=-l}^{+m} x_{i+k-1} Y_i \\
 \vdots \\
 \sum_{i=-l}^{+m} x_{i-k} Y_i
 \end{array} \right]$$

【0057】この連立方程式の係数マトリックスは、対称マトリックスとなるので各要素についての計算は全てについて行なう必要はない。更にこの連立方程式を解くには係数マトリックスをまずLU分解してから解くのが一般的である。本例による伝送路特性推定部4は以上の手段によって、チャンネルレスポンスを精度良く決定することができる。

【0058】その他は図2について説明した従来のビタビ等化器と同様に構成する。この詳細説明は省略する。

【0059】本例のビタビ等化器の信号処理の流れを図1のフローチャートを用いて説明する。先ず受信信号データ Y_i が入力端子1に供給されたときに、同期信号パターン部を検出する(ステップS1)。この同期信号パターン部の検出は受信信号データ Y_i と予め記憶されている同期信号パターンとの相関をとることにより行なう。

【0060】次に伝送路特性推定部4において、この検出された同期信号パターン部を参照信号として、最小2乗法を用いて送信機と受信機との間のインパルス応答をモデル化する(ステップS2)と共にチャンネルレスポンスを推定する(ステップS3)。

【0061】次に、ブランチメトリック計算回路21はブランチメトリックの計算を行い(ステップS4)、続いてN番目のステートについて計算を開始する(ステップS5)。

【0062】次に1タイムスロット前のステート-1のアドレスを設定し(ステップS6)、次にこの設定した

アドレスのバスメトリック記憶回路23に記憶されたバスメトリックを読み込み(ステップS7)、このバスメトリックをステップS4で計算したブランチメトリックとACS回路22で加算し、この加算出力をレジスタP1に格納する(ステップS8)。

【0063】次にステップS9では、1タイムスロット前のステート-2のアドレスの設定を行い、この設定したアドレスのバスメトリック記憶されたバスメトリックを読み込み(ステップS10)、このバスメトリックをステップS4で計算したブランチメトリックとACS回路22で加算し、この加算出力をレジスタP2に格納する(ステップS11)。

【0064】次にこのACS回路22で、このレジスタP1及びP2の各格納値の比較及びセレクトの動作を行い(ステップS12、S13)、そのセレクト値を出力し(ステップS14)、この値でバスメトリック記憶回路23を更新する(ステップS15)と共にバスメモリ26を更新する(ステップS16)。

【0065】上述したステップS5からステップS16までの処理を、状態数 2^{k-1} だけ繰り返す(ステップS17)。以上の処理が終了した後、最尤バス検出回路25によって最小のバスメトリック値を有するバスを検出し(ステップS18)、さらにバスメトリックの最小値を各バスメトリック量から減算することにより正規化の処理を行う(ステップS19)。

【0066】続いて最尤バス検出回路25によって最尤バスのアドレスを設定し(ステップS20)、バスメモ

り26の内容を復号データとして出力する(ステップS21)。

【0067】本例は上述の如く同期信号パターン部を参照信号として最小2乗法を用いて送信機と受信機との間のインパルス応答をモデル化しているので、送信機と受信機との間のインパルス応答を一義的にモデル化することができる利益がある。

【0068】また本例は上述の如く伝送モデルは最小2乗法により推定しているので、誤差が最小となるモデルであり、良好な等化特性が得られる利益がある。

【0069】尚本発明は、上述実施例に限ることなく本発明の要旨を逸脱することなくその他種々の構成が採り得ることは勿論である。

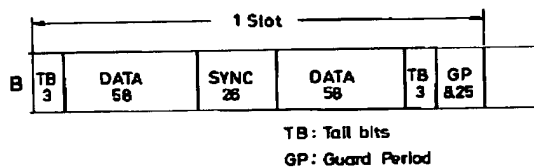
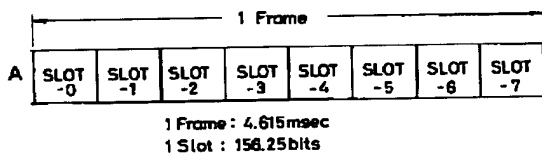
【0070】

【発明の効果】本発明によれば同期信号データを参照信号として最小2乗法を用いて送信機と受信機との間のインパルス応答をモデル化しているので、送信機と受信機との間のインパルス応答を一義的にモデル化することができる利益がある。

【0071】また本発明によれば伝送モデルは最小2乗法により推定しているので、誤差が最小となるモデルであり、良好な等化特性が得られる利益がある。

【図面の簡単な説明】

【図3】



【図1】本発明ビタビ等化器の一実施例の説明に供する流れ図である。

【図2】ビタビ等化器を示す構成図である。

【図3】本発明の説明に供する線図である。

【図4】本発明の説明に供する線図である。

【図5】本発明の説明に供する線図である。

【図6】一般化した伝送路等価モデルを示す線図である。

【図7】具体化した伝送路等価モデルを示す線図である。

【図8】トレリス表現を示す線図である。

【図9】ビタビ等化器の論理ユニットを示す線図である。

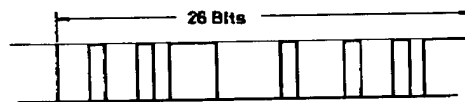
【図10】メトリックの計算と生き残りパスを示す線図である。

【図11】従来のビタビ等化器の説明に供する流れ図である。

【符号の説明】

- 1 入力端子
- 2 ビタビ推定部
- 3 同期信号データ検出部
- 4 伝送路特性推定部

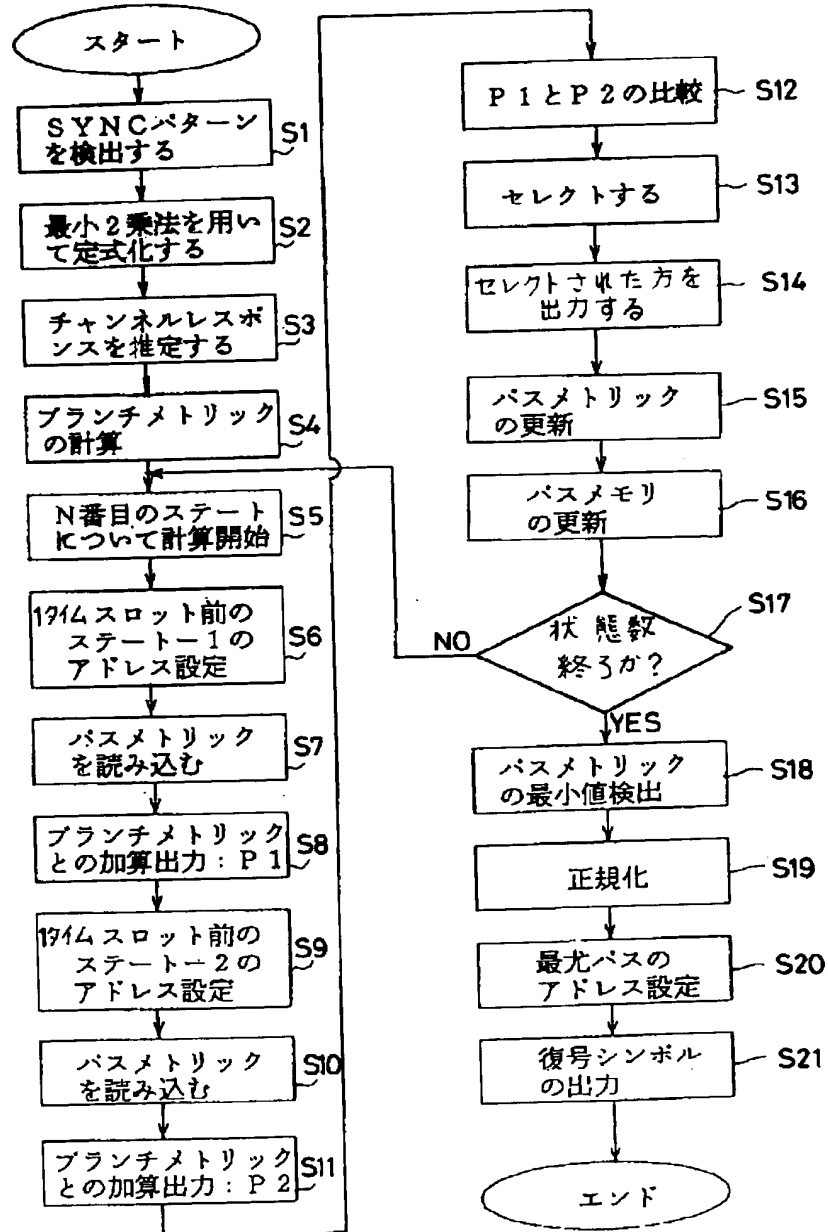
【図4】



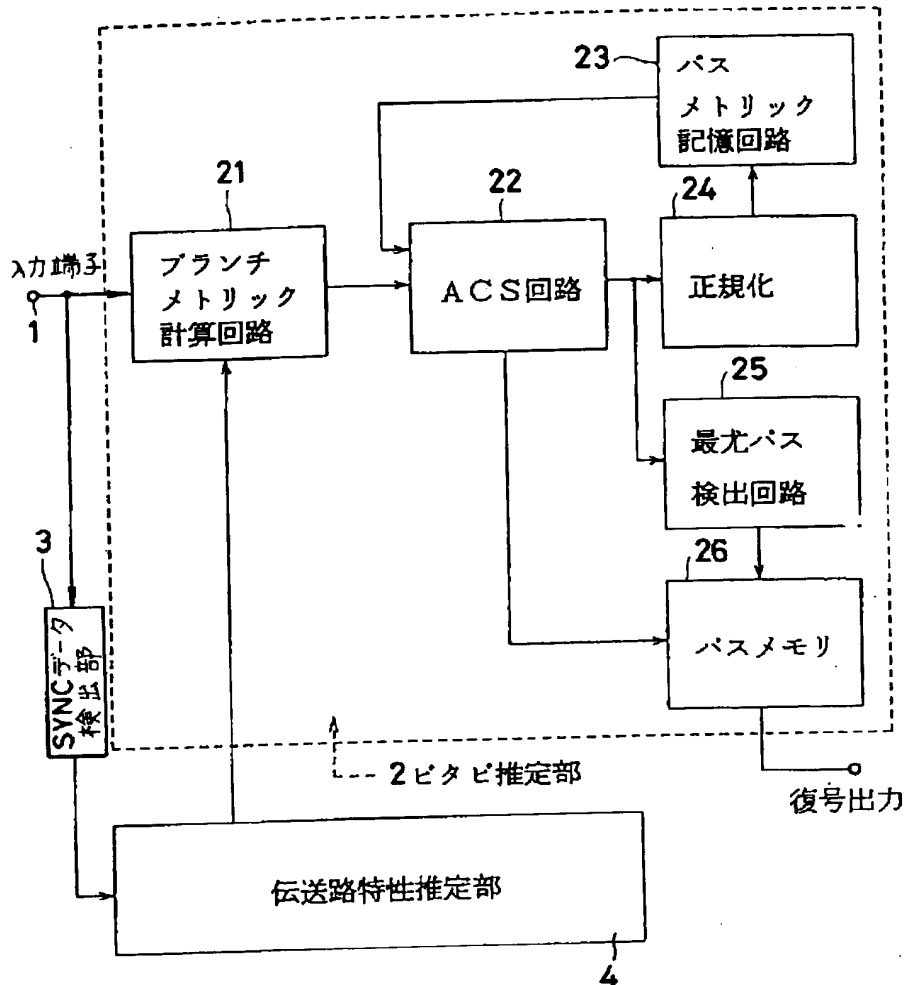
【図5】

時間軸	チャネル レスポ ンス (h)	SYNC (s)	受信信号 (y)	相互相関 (xとy)	自己相関 (xの)
-15			-0.80000	-0.08077	-0.03846
-14			-0.80000	0.03846	-0.07692
-13		-1.00000	-0.20000	-0.08077	-0.03846
-12		-1.00000	-1.80000	-0.02308	0.0
-11		1.00000	-0.10000	0.04231	-0.03846
-10		-1.00000	-0.80000	-0.30769	0.0
-9		-1.00000	-1.50000	0.19615	0.11538
-8		1.00000	1.80000	-0.38462	-0.38462
-7		-1.00000	-0.50000	0.11923	0.11538
-6		1.00000	-2.10000	-0.17692	0.0
-5		1.00000	-0.10000	0.08846	-0.03846
-4		1.00000	0.50000	-0.07692	-0.07692
-3		-1.00000	-1.50000	0.07308	0.11538
-2	0.80000	-1.00000	-1.50000	0.77692	0.0
-1	0	-1.00000	-0.50000	-0.03462	-0.03846
0	1.00000	-1.00000	-2.10000	1.00000	1.00000
1	0	-1.00000	-0.10000	0.04231	-0.03846
2	0.30000	-1.00000	-2.10000	0.23846	0.0
3		-1.00000	0.10000	0.07308	0.11538
4		-1.00000	-2.10000	-0.07692	-0.07692
5		1.00000	-0.10000	0.08846	-0.03846
6		-1.00000	-0.80000	-0.30777	0.0
7		-1.00000	-1.50000	0.19615	0.11538
8		1.00000	1.80000	-0.38462	-0.38462
9		-1.00000	-0.50000	0.11923	0.11538
10		1.00000	-2.10000	-0.11538	0.0
11		1.00000	0.70000	-0.03462	-0.03846
12		1.00000	1.30000	-0.06154	0.0
13			0.30000	-0.08077	-0.03846
14			0.30000	0.23077	-0.07692
15				-0.08077	-0.03846

【図1】

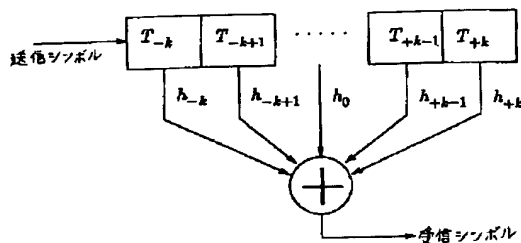


【図2】



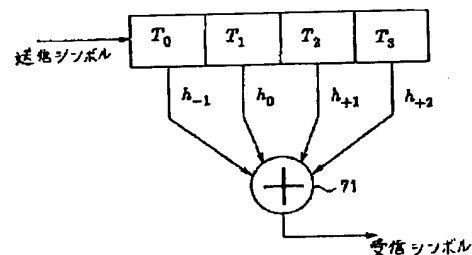
ビタビ等価器の基本構成

【図6】



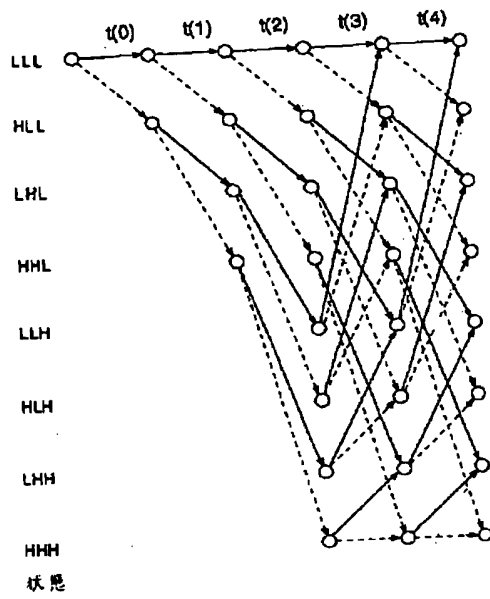
一般化した伝送路等価モデル

【図7】



具体化した伝送路等価モデル

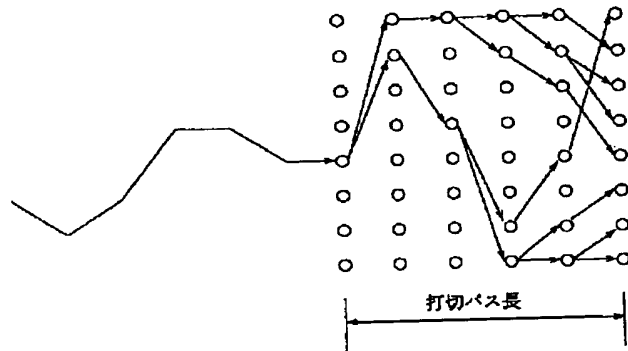
【図8】



— 入力 = $\llcorner 1 \gg (L)$
 ---- 入力 = $\llcorner 1 \gg (H)$

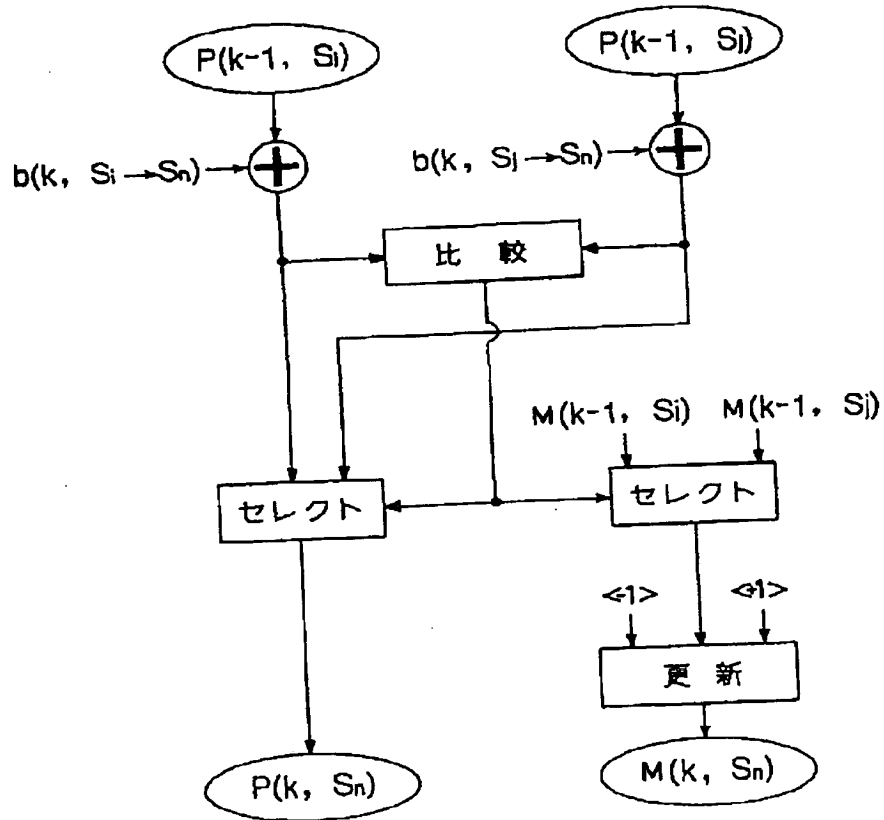
トリレス表現

【図10】



メトリックの計算と生き残りパス

【図9】



ビタビ等化器の論理ユニット

【図11】

